



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020020094462 (43) Publication.Date. 20021218

(21) Application No.1020010032687 (22) Application Date. 20010612

(51) IPC Code:

H01L 21/8242

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

KIM, GYEONG MIN

(30) Priority:

(54) Title of Invention

METHOD FOR MANUFACTURING CAPACITOR OF SEMICONDUCTOR DEVICE

Representative drawing



(57) Abstract:

PURPOSE: A method for manufacturing a capacitor of semiconductor devices is provided to improve a surface roughness by forming a lower electrode using two-step deposition composed of PECVD(Plasma Enhanced Chemical Vapor Deposition) and LPCVD(Low Pressure CVD).

CONSTITUTION: Ruthenium(Ru) as a lower electrode conductive layer is deposited on an interlayer dielectric having a storage node hole of a semiconductor substrate(100) by two-step deposition. That is, ruthenium(Ru) is firstly deposited by using PECVD and secondly deposited on the PECVD-Ru film by using LPCVD, thereby forming a lower electrode pattern (140a). In the PECVD processing, NH₃ or H₂ is used as an reacting gas. Also, NH₃ is used as an reacting gas in the Ru deposition using the LPCVD. Then, a Ta₂O₅ dielectric film and an upper electrode are sequentially formed on the lower electrode pattern (140a).

© KIPO 2003

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 21/8242	(11) 공개번호 (43) 공개일자	특2002-0094462 2002년 12월 18일
(21) 출원번호 (22) 출원일자	10-2001-0032687 2001년 06월 12일	
(71) 출원인	주식회사 하이닉스반도체	
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 김경민	
(74) 대리인	경기도안양시만안구안양4동627-72벽산아파트2-1109 특허법인 신성	

심사청구 : 있음

(54) 반도체 소자의 캐패시터 제조방법

요약

본 발명은 반도체소자에서 TaON 또는 Ta₂O₅ 캐패시터 형성에 관한 것으로, 캐패시터의 하부전극으로 Ru를 PECVD로 증착하고, 다시 LPCVD로 증착하는 캐패시터 제조방법을 제공하여 표면거칠기(Surface Roughness)를 개선할 수 있다. 또한 상기 PECVD법으로 Ru 박막의 증착시 반응개스를 NH₃ 또는 H₂를 사용하여 박막내에 존재하는 산소를 제거하고, LPCVD법으로 Ru 박막의 증착시 반응개스를 NH₃ 개스를 사용하여 산소를 제거함으로써 후속 열공정을 진행함으로써 발생하는 베리어메탈의 산화를 방지하고, TaON 또는 Ta₂O₅ 캐패시터의 낮은 누설전류를 확보할 수 있다.

대표도

도7

색인어

PECVD, LPCVD, Ru, 캐패시터

명세서

도면의 간단한 설명

- 도 1은 본 발명에 따른 반도체 기판 상의 제1 층간절연막 형성 단면도,
- 도 2는 본 발명에 따른 층간절연막에 전하저장 콘택홀 형성 단면도,
- 도 3은 본 발명에 따른 리세스된 폴리실리콘을 형성 단면도,
- 도 4는 본 발명에 따른 리세스된 플러그 상부가 실리사이드와 베리어메탈로 채워진 후의 단면도,
- 도 5는 본 발명에 따른 제2 층간절연막을 형성 단면도,
- 도 6은 본 발명에 따른 스토리지노드 홀과 제2 절연막 패턴 형성 단면도,
- 도 7은 본 발명에 따른 하부전극이 형성될 도전층 형성 단면도,
- 도 8은 본 발명에 따른 하부전극 패턴 형성 단면도,
- 도 9는 본 발명에 따른 강유전체막 형성 단면도,
- 도 10은 본 발명에 따른 상부전극 형성 단면도.

*도면의 주요 부분에 대한 부호의 설명

- | | |
|----------------|----------------|
| 100 : 반도체기판 | 105 : 제1 층간절연막 |
| 110 : 전하저장 콘택홀 | 125 : 베리어메탈 |
| 130 : 제2 층간절연막 | 135 : 스토리지 노드홀 |
| 140a : 하부전극 패턴 | 145 : 유전체막 |
| 150 : 상부전극 | |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로의 제조방법에 관한 것으로, 특히 반도체 소자의 캐패시터 제조 방법에 관한 것이다.

반도체 기억 소자들 중 DRAM(Dynamic Random Access Memory)의 집적도가 증가함에 따라 기억정보의 기본 단위인 1비트를 기억시키는 메모리 셀의 면적이 점차 작아지고 있다. 그런데 셀의 축소에 비례하여 캐패시터의 면적을 감소시킬 수는 없는 바, 이는 소프트 에러(Soft Error)를 방지하고 안정된 동작을 유지하기 위해서 단위 셀당 일정 이상의 충전용량이 필요하기 때문이다. 따라서 제한된 셀 면적내에 메모리 캐패시터의 용량을 적정값 이상으로 유지시키기 위한 연구가 요구되고 있으며, 이는 대개 3가지 방법으로 나뉘어 진행되어 왔다. 즉, 유전체의 두께 감소, 캐패시터의 유효면적의 증가, 비유전율이 높은 재료의 사용 등이 고려되어 왔다.

이중에서 세번째의 경우에 대하여 구체적으로 살펴보면 다음과 같다. 종래 캐패시터에 이용되는 유전체막은 SiO_2 로부터 유전율이 거의 2배인 Si_3N_4 를 사용한 NO(Nitride-Oxide) 또는 ONO(Oxide-Nitride-Oxide) 박막이 주류였다. 하지만 SiO_2 , NO(Nitride-Oxide), ONO(Oxide-Nitride-Oxide) 박막들은 물질자체의 유전율이 작으므로 유전체 박막의 두께를 줄이거나 표면적을 넓힌다고 해도 높은 정전용량을 구현할 만한 여지가 없게 되어 새로운 물질을 도입할 수 밖에 없는 상황에 이르렀다. 결국 고집적 DRAM에서는 기존 유전체 박막을 대신할 물질로서 (Ba,Sr) TiO_3 (이하 BST라 함), (Pb,Zr) TiO_3 (이하 PZT라 함), Ta_2O_5 등의 유전체 박막을 도입하였다. 이 중 Ta_2O_5 유전체 박막은 실리콘 질화막에 대비하여 3배 이상의 유전율(약 20-25)을 가지며 BST나 PZT에 비해 에칭이 용이하다. 또한 CVD 법으로 증착(deposition)할 경우 스텝커버리지(step coverage)가 우수한 특징이 있다. 한편, 최근에는 Ta_2O_5 의 불안정한 화학양론비를 개선하기 위하여 TaON의 개발이 이루어지고 있다.

상기와 같이 고유전율을 가지는 Ta_2O_5 를 유전체막으로 사용하는 캐패시터에서는 전극물질의 선택이 강유전체의 특성에 크게 영향을 미친다. 즉, 산화 tantalum(Ta_2O_5)을 이용하는 경우에는 기존의 NO(Nitride-Oxide) 캐패시터와 달리 MIS 구조에 바탕을 두고 있다. 여기서 M은 플레이트 노드로 사용되는 금속 전극을 나타내고, I는 절연체인 유전체를 나타내며, 그리고 S는 스토리지 노드로 사용되는 폴리실리콘을 나타낸다. Ta_2O_5 캐패시터의 상부전극인 플레이트 전극은 폴리실리콘/TiN이나 폴리실리콘/WN의 적층구조로 되어 있다. 하부전극인 스토리지 전극은 그 표면이 RTN(Rapid Thermal Nitration) 처리된 폴리실리콘을 사용한다.

MIS(Metal/Insulator/Silicon) 구조에서 소자의 집적화에 따라 적절한 정전용량을 확보하기 위해서는 유전체막인 Ta_2O_5 두께를 감소시키는 방법이 있다. Ta_2O_5 캐패시터의 유전체 박막의 두께를 감소시키는 방법은 캐패시터 형성 후 후속 열 공정의 처리가 중요하다. 즉, 후속 공정의 열 부담이 적을수록 더 얇은 Ta_2O_5 박막을 만들 수 있다. Ta_2O_5 박막을 얼마만큼 얇게 줄일 수 있는지는 분명하게 밝혀지지 않았지만 그 한계는 대략 20Å 내지 30Å 정도이다. 그러나 유전체막의 두께가 그보다 더 줄어들게 되면 누설전류가 증가하게 되는 문제점이 생긴다.

이러한 문제를 해결하기 위해서 하부전극으로서 금속을 사용하여 유전체막의 두께를 줄이는 방법이 시도되고 있다. 상기 MIS 구조의 Ta_2O_5 캐패시터는 하부 전극을 폴리실리콘으로 사용하기 때문에 Ta_2O_5 열 공정에 의해 유효산화막 두께(T_{ox})가 매우 두꺼워져 고집적 반도체 소자의 동작에 필요한 정전용량을 확보하는데 한계가 있다. 따라서 폴리실리콘 스토리지 노드 대신 금속 스토리지 노드를 사용하여 유전체 박막의 두께를 줄이는데 방해가 되는 표면에 존재하는 자연 산화막을 제거함으로써 Ta_2O_5 박막의 두께를 줄인다는 것이다. 그러나, 하부전극을 금속으로 사용하는 MIM(Metal-Insulator-Metal) Ta_2O_5 캐패시터는 높은 누설전류가 문제가 된다. 즉 MIM 구조의 Ta_2O_5 캐패시터를 도입함으로써 유효 산화막 두께를 30Å 정도로 낮추는 것은 가능하나, Ta_2O_5 유전체막과 금속하부전극과의 계면반응으로 인하여 안정적으로 박막을 형성할 수 없어 누설 전류 특성을 확보하기가 쉽지 않아 반도체 소자의 제조에 적용하기 어려운 실정이다. 이와 같이 금속으로 캐패시터 전극을 형성할 때에는, 금속과 도전성 플러그로 사용되는 폴리실리콘이나 기판 실리콘과의 반응을 방지하고, 유전체막 증착시 소오스로 사용되는 산소의 확산을 방지하기 위한 베리어층(Barrier layer)을 필수적으로 형성한다.

상기 MIM 구조에서 금속(metal) 하부전극으로 루테늄(Ru)을 사용할 경우 증착 방법으로는 저압화학기상 증착(Low Pressure Chemical Vapor Deposition: 이하 LPCVD이라 함)법을 이용한다. 그러나 LPCVD법으로 Ru를 증착할 경우 표면이 거칠고, 박막내에 산소를 포함하게 된다. 이는 누설전류 증가 및 막내에 있는

산소가 베리어메탈(Barrier Metal)인 TiN을 산화시켜 막 리프트(film lift) 등 소자 적용에 어려움이 있는 문제점이 있다.

이러한 문제점을 해결하기 위해서 종래에는 Ru 증착전 시드층(seed layer)으로 PVD(Physical Vapor Deposition)로 Ru를 일부 증착한 후, LPCVD로 Ru를 증착하여 표면 거칠기(Surface Roughness)를 개선시키고 있다. 하지만 이 경우는 공정 단순화 측면과 스텝커버리지(step coverage)에 큰 영향을 주는 문제점이 있다.

발명이 이루고자하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로, 누설전류가 적고 베리어메탈의 산화를 방지할 수 있는 반도체소자의 캐패시터 제조방법 및 반도체소자 제조방법을 제공하는데 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 캐패시터 제조방법은, 소정 공정이 완료된 기판상에 캐패시터 하부전극 도전층으로 루테늄(Ru)을 PECVD법과 LPCVD법으로 순차적으로 증착하고 하부전극 패턴을 형성하는 단계; 상기 하부전극 패턴 위로 Ta₂O₅ 유전체막을 형성하는 단계; 및 상기 Ta₂O₅ 유전체막 위로 캐패시터의 상부전극을 증착하는 단계를 포함하여 이루어진다.

또한 본 발명의 반도체소자의 제조방법은, 반도체 기판상에 콘택홀을 가지는 제1 층간절연막을 형성하는 단계; 상기 콘택홀을 도전막으로 채워서 상기 반도체 기판과 연결되는 콘택플러그를 형성하는 단계; 상기 콘택플러그를 포함하여 상기 제1 층간절연막상에 제2 층간절연막을 형성하는 단계; 상기 제2 층간절연막을 식각하여 하부전극이 형성될 스토리지노드 홀을 형성하는 단계; 상기 스토리지노드 홀 상면에 하부전극 도전층으로 루테늄(Ru)을 PECVD법과 LPCVD법으로 순차적으로 증착하고 하부전극 패턴을 형성하는 단계; 상기 하부전극 위로 유전체막을 형성하는 단계; 및 상기 유전체막 위로 캐패시터 상부전극을 증착하는 단계를 포함하여 이루어진다.

본 발명의 유전체막으로는 Ta₂O₅ 또는 TaON을 사용한다. TaON은 기존의 SiO₂, Si₃N₄, NO(Nitride-Oxide) 또는 ONO(Oxide-Nitride-Oxide)보다 높은 유전율을 가지며, Ta₂O₅의 불안정한 화학양론비를 개선한 고 유전상수를 가진 유전체막이다.

본 발명의 하부전극으로는 루테늄(Ru, Ruthenium)을 사용하며, 2단계의 증착공정을 거친다. 먼저 PECVD법으로 반응개스 NH₃ 또는 H₂를 사용하여 Ru를 일부 증착(이하 PECVD-Ru라 함)하고, LPCVD법으로 반응개스 NH₃를 사용하여 Ru를 증착(이하 LPCVD-Ru라 함)한다. PECVD법으로 증착된 Ru 막의 위로 LPCVD법으로 Ru를 증착하므로 표면거칠기(surface roughness)를 개선시키고, 또한 반응개스로 NH₃를 사용하므로 Ru 막의 내부에 존재하는 산소를 제거하게 된다. 따라서 TaON 또는 Ta₂O₅ 유전체막 증착 후, 열공정을 진행하면서 발생하는 베리어메탈(barrier metal)인 TiN의 산화를 방지하고, TaON 또는 Ta₂O₅ 캐패시터의 낮은 누설전류를 확보하게 된다. 상기 하부전극은 전하저장전극이 되며 전하저장전극의 구조는 단순 스택 구조, 실린더 구조, 다중 핀 구조, 컵케이크 구조 및 다른 구조를 가질 수 있다. 실시예에서는 실린더 구조이다.

표1은 PECVD-Ru 증착 후 LPCVD-Ru 증착할 때의 AFM(Atomic Force Microscope) 데이터(data)와 LPCVD로만 증착할 때의 AFM 데이터의 비교표이다.

[표 1]

PECVD-Ru 증착 후 LPCVD-Ru 증착과 LPCVD만으로 Ru 증착 비교

	Rms(Root Mean Square)	P v(Peak to value)
PECVD-Ru 증착 후 LPCVD-Ru 증착	2.53nm	19.24nm
LPCVD만 Ru를 증착	4.19nm	82.46nm

Rms(Root mean square)는 표면거칠기의 최소자승법을 나타내며, P-v(Peak to value)는 표면거칠기 중 최대점과 최소점의 차이를 나타낸다. 표에서 나타나듯이 PECVD-Ru 증착 후 LPCVD-Ru를 증착하는 것이 단순히 LPCVD로 Ru를 증착한 것에 비하여 표면거칠기가 양호한 것을 알 수 있다.

본 발명의 상부전극은 셀플레이트가 되며 Ru, TiN 등으로 형성한다.

상술한 목적, 특징들 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 일실시예를 상세히 설명한다.

먼저, 도 1은 본 발명에 따른 반도체 기판(100) 상에 제1 층간절연막(105)을 형성한 후의 단면도이다.

제1 층간절연막(105) 하부의 반도체 기판 상에는 도시되어 있지 않지만 소자분리 산화막과 게이트산화막

이 형성되어 있고, 게이트 전극과 소오스/드레인 전극으로 구성되는 모스 전계효과 트랜지스터(MOSFET)가 형성되어 있다.

도 2는 본 발명에 따른 층간절연막에 전하저장 콘택홀(110)을 형성한 후의 단면도이다.

상기 소오스/드레인전극 중 전하저장전극 콘택으로 예정되어 있는 부분 상측의 층간절연막을 제거하여 층간절연막 패턴(105a)과 전하저장 콘택홀(110, storage contact hole)을 형성한다.

도 3은 본 발명에 따른 폴리실리콘을 증착한 후에 리세스(recess)시켜 리세스된 폴리실리콘(115)을 형성한 후의 단면도이다.

전하 저장 콘택홀을 형성 후 화학기상증착법(CVD)로 도핑된 폴리실리콘(doped polysilicon)막을 증착한다. 그리고 폴리실리콘을 에치백(etch back)하여 층간절연막의 표면을 노출시킨다. 이 때 에치백은 폴리실리콘막을 과도식각하도록 실시하여 폴리실리콘(115)이 플러그 내부에만 잔류한다. 따라서 폴리실리콘(115)은 콘택홀을 완전히 충전시키지 못하고 상부에 여유공간을 갖도록 리세스(recess)된다.

도 4는 본 발명에 따른 리세스된 플러그 상부가 실리사이드(120)와 베리어메탈(125)로 채워진 후의 단면도이다.

폴리실리콘을 리세스 시킨 후 클리닝(cleaning)을 한 후 전면적으로 Ti를 증착하고, RTP(Rapid Thermal Processing) 방법에 의해 열처리하여 티타늄실리사이드층(TiSi_x)를 형성한 후, 미반응의 Ti를 습식으로 제거한다. Ti 대신 WN, W를 사용할 수도 있다. 이 실리사이드층은 베리어메탈을 형성하기 전에 폴리실리콘과의 오믹콘택(Ohmic Contact)을 형성하여 접촉저항을 감소시키기 위함이다.

그 다음 베리어메탈을 기판전면에 증착한 후 화학 기계적 연마(Chemical Mechanical Polishing, 이하 CMP)로 평탄화 한다. 이 베리어메탈은 유전체 결정화를 위해서 산소 분위기에서 고온의 열처리시, 산소가 스토리지 전극을 통해서 확산해 들어가서, 폴리실리콘 플러그와 스토리지 전극의 계면에서 폴리실리콘의 산화를 방지하는 기능을 한다. 베리어메탈은 TiN, TaN, TiSiN, TaSiN, TaAlN 및 이를 조합한 물질 중에서 선택된 하나로 형성하며, PVD(Physical Vapor Deposition) 또는 CVD법에 의해 증착시킨다.

도 5는 본 발명에 따른 실린더(cylinder)형 캐패시터를 형성하기 위하여 제2 층간절연막(130)을 형성한 후의 단면도이다. 제2 층간절연막은 식각저지층(etch stopper), 산화막, 반사방지층으로 이루어질 수 있다. 또는 식각저지층과 산화막 또는 BPSG막으로 이루어질 수도 있다. 식각저지층은 상층인 산화막 또는 BPSG막의 식각시 식각선택비가 높아 식각저지막으로 이용되며, SiN, Al₂O₃, SiON 또는 이들의 조합을 이용하여 형성한다.

도 6은 본 발명에 따른 제2 층간절연막을 선택적으로 식각하여 스토리지노드 홀(135)과 제2 절연막 패턴(130a)을 형성한 후의 단면도이다.

도 7은 본 발명에 따른 하부전극이 형성될 도전층(140)을 증착한 후의 단면도이다.

하부전극인 Ru의 증착방법은 PECVD-Ru를 증착한 후 LPCVD-Ru를 증착한다.

PECVD-Ru 증착방법은 다음과 같다. 반응소스인 Ru(CH₃COCHCOCH₂CH₂CH₂CH₃)₃ (Tris (2,4-octanedionato)ruthenium)를 기체상태로 만든다. 기판(wafer)의 온도를 200℃ 내지 350℃로 유지하며, NH₃ 또는 H₂ 반응 개스는 50sccm 내지 1000sccm로 유지하며, 반응로의 압력을 0.1Torr 내지 2Torr로 유지한다. R.F. 전력(R. F. Power)는 30watt 내지 400watt로 유지하며, 하부히터(SUB HEATER)를 접지(ground)로 하고, 샤워헤드(SHOWER HEAD)를 전극(electrode)로 한다. 반응개스로는 NH₃ 또는 H₂개스를 사용하여 Ru 박막에 존재하는 산소를 제거한다.

다음으로 다시 LPCVD로 Ru를 증착한다. 반응조건은 상기 PECVD와 동일하나 반응개스로 O₂ 개스를 사용한다. 즉, 반응소스인 Ru(CH₃COCHCOCH₂CH₂CH₂CH₃)₃ (Tris (2,4-octanedionato)ruthenium)를 사용하며, 기판(wafer)의 온도를 200℃ 내지 350℃로 유지하며, 반응 개스로 O₂를 50sccm 내지 1000sccm로 유지한다. 반응로의 압력을 0.1Torr 내지 2Torr로 유지한다. 바람직하게는 상기 PECVD-Ru 증착과 LPCVD-Ru 증착은 동일 챔버(chamber)에서 인-시츄(In-situ)로 진행한다.

도 8은 본 발명에 따른 하부전극 도전층을 스토리지노드 분리(storage node separation)하고 제2 층간절연막을 딥 아웃(Dip Out)하여 하부전극 패턴(140a)을 형성한 후의 단면도이다.

스토리지노드 분리를 위해서는 상기 하부전극 도전층이 증착된 결과물상에 상기 스토리지 노드홀(135)의 내부를 완전히 채우기 위하여 충분한 두께를 가지는 희생층을 형성한다. 상기 희생층은 포토레지스트막 또는 산화막으로 이루어질 수 있다. 이어서 층간절연막의 상면이 노출될 때까지 하부전극의 일부 및 희생층의 일부를 에치백 또는 CMP 방법에 의하여 제거함으로써, 하부전극막을 복수의 하부전극으로 분리시킨다. 이 때, 상기 스토리지노드 홀 내에서 상기 하부전극 위에는 상기 희생층의 나머지 일부가 남아 있게 된다. 상기 희생층의 나머지 일부를 애싱(ashing) 또는 습식 식각에 의하여 제거한다. 상기 희생층이 포토레지스트막으로 이루어진 경우에는 상기 희생층의 나머지 일부를 애싱에 의하여 제거하고, 상기 희생층이 산화막으로 이루어진 경우에는 상기 희생층의 일부를 습식 식각 방법에 의하여 제거한다.

다음으로 제2 층간절연막 패턴(130a)을 딥아웃(Dip Out)하여 실린더(Cylinder)형의 하부전극(140a)을 형성한다.

도 9는 본 발명에 따른 강유전체막(145)을 증착한 후의 단면도이다.

Ta₂O₅막을 형성하기 위한 반응원료로 사용되는 탄탈륨 에칠레이트(Ta(OC₂H₅)₅)는 실온에서 액체 상태이므로, 탄탈륨 에칠레이트(Ta(OC₂H₅)₅)를 170℃ 내지 190℃로 유지되는 기화기에서 기체상태로 만든다. 반

용 개스인 O_2 개스를 10sccm 내지 1000sccm 정도를 사용하고, 반응로 내의 압력을 0.1torr 내지 2torr로 유지하고, 300℃ 내지 400℃로 가열된 웨이퍼에 Ta_2O_5 를 증착한다.

다음으로 Ta_2O_5 막 내의 산소결핍 및 탄소를 제거하기 위하여 300℃ 내지 500℃에서 N_2O 플라즈마 열처리를 행한다. 상기 플라즈마 열처리 대신 자외선에 의해서 활성화된 자외선-오존(UV- O_3) 가스로 처리하기도 한다.

다음으로 500℃ 내지 650℃에서 N_2 개스와 O_2 를 이용하여 30초 내지 60초간 RTO(Rapid Thermal Oxidation) 공정을 실시한다. 이 때 Ta_2O_5 박막은 다결정화된다.

도 10은 본 발명에 따른 상부전극(150)을 형성한 후의 단면도이다.

상부전극은 Ru 또는 TiN을 증착한다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상기와 같이 이루어진 본 발명은, 종전 MIM 캐패시터에 비하여 PECVD법으로 증착된 Ru 박막위로 LPCVD법으로 Ru를 증착함으로써 표면거칠기(Surface Roughness)가 개선된 효과가 있다.

또한 상기 PECVD법으로 Ru 박막의 증착시 반응개스를 NH_3 또는 H_2 를 사용하여 박막내에 존재하는 산소를 제거하고, LPCVD법으로 Ru 박막의 증착시 반응개스를 NH_3 개스를 사용하여 산소를 제거함으로써 후속 열공정을 진행함으로써 발생하는 베리어메탈의 산화를 방지하고, $TaON$ 또는 Ta_2O_5 캐패시터의 낮은 누설전류를 확보하는 유리한 효과가 있다.

(57) 청구의 범위

청구항 1

반도체소자의 캐패시터 제조방법에 있어서,

소정 공정이 완료된 기판상에 캐패시터의 하부전극 도전층으로 루테늄(Ru)을 PECVD법(PECVD-Ru 증착)과 LPCVD법(LPCVD-Ru 증착)으로 순차적으로 증착하고 하부전극 패턴을 형성하는 단계;

상기 하부전극 패턴 위로 Ta_2O_5 유전체막을 형성하는 단계; 및

상기 Ta_2O_5 유전체막 위로 캐패시터의 상부전극을 증착하는 단계

를 포함하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 2

제 1 항에 있어서,

상기 PECVD-Ru 증착은 반응소스인 $Ru(CH_3COCHCOCH_2CH_2CH_2CH_3)_3$ (Tris (2,4-octanedionato)ruthenium)를 사용하고, 기판(wafer)의 온도를 200℃ 내지 350℃로 유지하며, 반응 개스로 NH_3 또는 H_2 를 50sccm 내지 1000sccm로 유지하며, 반응로의 압력을 0.1Torr 내지 2Torr로 유지하여 형성된 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 PECVD-Ru 증착시 R.F.전력(R.F. Power)는 30watt 내지 400watt로 유지하며, 하부히터(SUB HEATER)를 접지(ground)로 하고, 샤워헤드(SHOWER HEAD)를 전극(electrode)로 하여 이루어진 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 4

제 1 항에 있어서,

상기 LPCVD-Ru 증착은 반응소스인 $Ru(CH_3COCHCOCH_2CH_2CH_2CH_3)_3$ (Tris (2,4-octanedionato)ruthenium)를 사용하며, 기판(wafer)의 온도를 200℃ 내지 350℃로 유지하며, 반응 개스로 O_2 를 50sccm 내지 1000sccm로 유지하며, 반응로의 압력을 0.1Torr 내지 2Torr로 하여 이루어진 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 5

제 1 항에 있어서,

상기 PECVD-Ru 증착과 LPCVD-Ru 증착은 동일 챔버(chamber)에서 인-시츄(In-situ)로 진행하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 6

제 1 항에 있어서, 상기 유전체막을 형성하는 단계는,

Ta₂O₅ 막을 증착하는 단계;

상기 증착된 Ta₂O₅ 막을 N₂O 플라즈마 열처리 또는 자외선-오존(UV/O₃)의 열공정하는 단계; 및

N₂ 개스와 O₂ 개스를 이용하여 RT0 처리하는 단계

를 포함하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 7

제 6 항에 있어서,

Ta₂O₅막 을 증착하는 단계는

탄탈륨 에틸레이트를 소오스 가스로 하여 반응 개스인 O₂ 개스를 10sccm 내지 1000sccm 정도를 사용하고, 반응로 내의 압력을 0.1torr 내지 2torr로 유지하고, 300℃ 내지 400℃로 가열된 웨이퍼에 증착하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 8

제 6 항에 있어서,

상기 증착된 Ta₂O₅ 막을 N₂O 플라즈마 열처리는 300℃ 내지 500℃에서 행하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 9

제 6 항에 있어서,

상기 RT0 처리하는 단계는,

500℃ 내지 650℃에서 N₂ 개스와 O₂를 이용하여 30초 내지 60초간 실시하는 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 10

제 1 항에 있어서,

상기 상부전극은 Ru, TiN 중에서 선택된 하나의 물질로 형성된 것을 특징으로 하는 반도체소자의 캐패시터 제조방법.

청구항 11

반도체소자의 제조방법에 있어서,

반도체 기판상에 콘택홀을 가지는 제1 층간절연막을 형성하는 단계;

상기 콘택홀을 도전막으로 채워서 상기 반도체 기판과 연결되는 콘택플러그를 형성하는 단계;

상기 콘택플러그를 포함하여 상기 제1 층간절연막상에 제2 층간절연막을 형성하는 단계;

상기 제2 층간절연막을 식각하여 하부전극이 형성될 스토리지노드 홀을 형성하는 단계;

상기 스토리지노드 홀 상면에 하부전극 도전층으로 루테늄(Ru)을 PECVD법과 LPCVD법으로 순차적으로 증착하고 하부전극 패턴을 형성하는 단계;

상기 하부전극 위로 유전체막을 형성하는 단계; 및
상기 유전체막 위로 캐패시터 상부전극을 증착하는 단계
를 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 12

제 11 항에 있어서,

상기 콘택플러그를 형성하는 단계는

제1 층간절연막을 선택적으로 식각하여 콘택홀을 형성하는 단계;

상기 콘택홀 내부를 폴리실리콘으로 증착한 후 에치백 공정에 의하여 플러그 리세스를 시키는 단계; 및
상기 리세스된 폴리실리콘 위로 실리사이드 및 베리어메탈로 메워써 플러그를 형성한 후 평탄화하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체소자의 제조방법.

청구항 13

제 12 항에 있어서,

상기 실리사이드는 Ti를 증착하고, RTP 방법에 의해 열처리하여 $TiSi_x$ 를 형성한 후, 미반응의 Ti를 습식으로 제거하여 형성하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 14

제 12 항에 있어서,

상기 베리어메탈은 TiN, TaN, $TiSiN$, $TaSiN$, $TaAlN$ 및 이를 조합한 물질 중에서 선택된 하나로 형성하며, 증착 방법으로는 PVD 또는 CVD 증착방법에 의하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 15

제 11 항에 있어서,

상기 하부전극 패턴을 형성하는 단계는

상기 스토리지노드 홀과 컨케이브 패턴의 상면을 덮는 캐패시터 하부전극 도전층으로 루테늄(Ru)을 PECVD법과 LPCVD법으로 순차적으로 증착하고 하부전극 패턴을 형성하는 단계;

상기 도전층 위에 상기 스토리지노드 홀의 내부를 완전히 채우기에 충분한 두께를 가지는 희생층을 형성하는 단계;

상기 컨케이브 패턴의 상면이 노출될 때까지 상기 컨케이브 패턴 위에 있는 상기 도전층의 일부 및 상기 희생층의 일부를 제거함으로써, 상기 도전층을 복수의 하부전극으로 분리시키는 단계;

상기 희생층의 나머지 일부를 제거하는 단계; 및

상기 제2 층간절연막을 디아우트(Dip Out)하는 단계

를 포함하는 것을 특징으로 하는 반도체소자의 제조방법.

청구항 16

제 11 항에 있어서,

상기 유전체막은 $TaON$, Ta_2O_5 중에서 선택되는 하나의 물질인 것을 특징으로 하는 반도체소자의 제조방법.

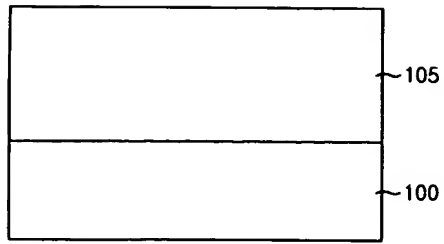
청구항 17

제 11 항에 있어서,

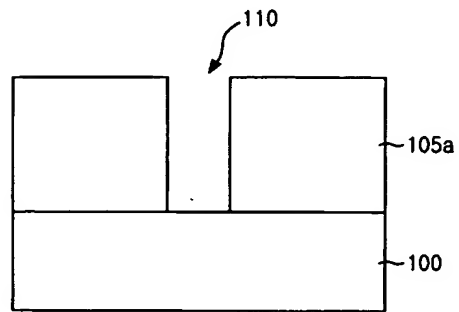
상기 상부전극은 Ru, TiN 중에서 선택되는 하나의 물질로 형성된 것을 특징으로 하는 반도체소자의 제조방법.

도면

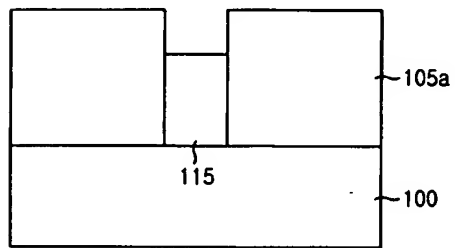
도면1



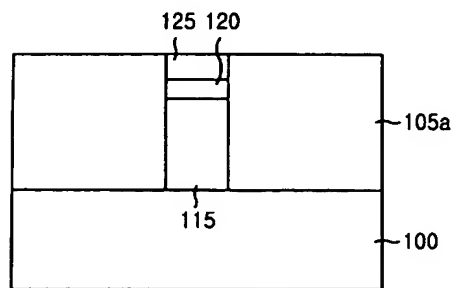
도면2



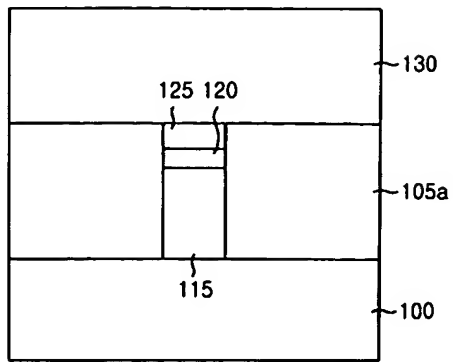
도면3



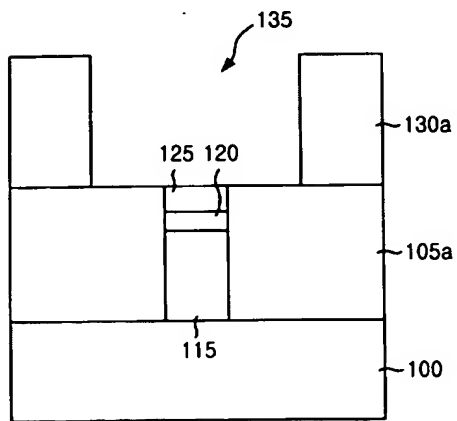
도면4



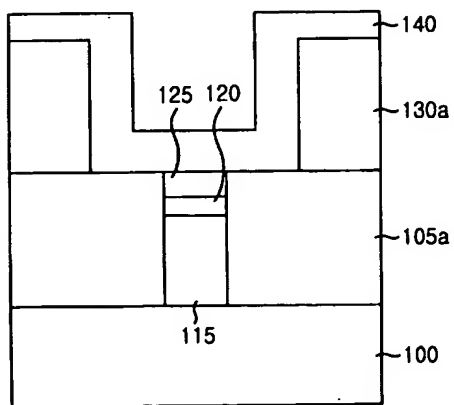
도면5



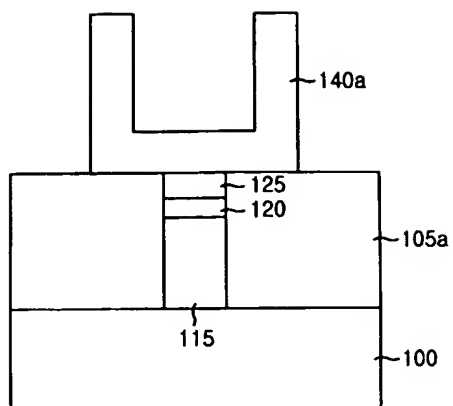
도면6



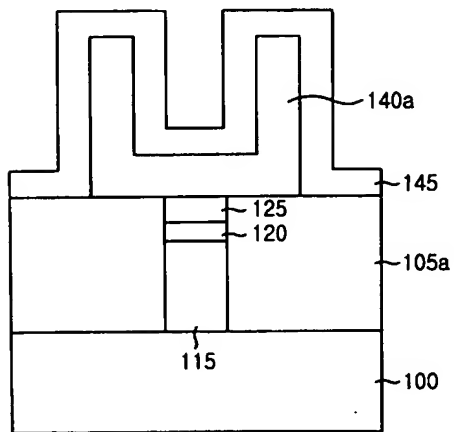
도면7



도면8



도면9



도면10

